TD4 :

Une image contenant texte, capture d’écran, ligne, Police

Description générée automatiquement

* **Taille de la ligne de cache** : La taille de la ligne de cache est déterminée par la plage des bits utilisés pour l'OFFSET. Ici, cela va de 0 à 4, ce qui représente 5 bits. Cela indique que chaque ligne de cache peut adresser 25=32 octets et donc 25/4 = 8 mots
* **Nombre d'entrées de la mémoire cache** : Le nombre d'entrées est déterminé par la plage des bits utilisés pour l'INDEX. Dans ce cas, cela va de 5 à 9, ce qui représente 5 bits. Cela signifie qu'il y a 25=32 octets différentes possibles dans la mémoire cache.

Une image contenant texte, capture d’écran, ligne, nombre

Description générée automatiquement

* **Taille de la ligne de cache** : La taille de la ligne de cache est déterminée par la plage des bits utilisés pour l'OFFSET. Ici, cela va de 0 à 5, ce qui représente 6 bits. Cela indique que chaque ligne de cache peut adresser 26=64 octets et donc 26/4 = 16 mots.
* **Nombre d'entrées de la mémoire cache** : Le nombre d'entrées est déterminé par la plage des bits utilisés pour l'INDEX. Dans ce cas, cela va de 6 à 11, ce qui représente 6 bits. Cela signifie qu'il y a 26=64 octets différentes possibles dans la mémoire cache.

Une image contenant texte, capture d’écran, Police

Description générée automatiquement

MISS pénalité global = 15 cycles.

MISS Rate du cache L2 : 1-0.92 = 8% or L2 HIT time = 4 cycles 🡪 MISS Rate L2 = 0.32 cycles

MISS Rate du cache L1 : 1-0.95 = 5% or L2 HIT time = 1 cycles 🡪MISS Rate L1 = 0.05 cycles

Pour avoir le temps d’accès

1. **Taux de MISS Global** : Il est calculé en utilisant la formule suivante :

Global MISS Rate=(1−L1 HIT rate)×(1-L2 HIT rate)×(1-L3 HIT rate)=0.04%

1. **Pénalité de MISS du cache L2** : La pénalité de MISS pour le cache L2 prend en compte le temps d'accès au cache L3 et la pénalité de MISS de L3 :

L2 MISS Penalty=L3 HIT time+(Miss rate de L3×Miss penalty L3) = 8+((1-0.9)\*15) = 9.5 cycles

1. **Pénalité de MISS du cache L1** : La pénalité de MISS pour le cache L1 prend en compte le temps d'accès au cache L2 et la pénalité de MISS de L2 :

L1 MISS Penalty=L2 HIT time+(Miss rate de L2×Miss penalty de L2) = 4 + ((1-0.92)\*9.5) = 4,76 cycles

**4 . Temps d'accès moyen** : C'est la somme des temps d'accès HIT pour chaque cache pondéré par le taux de HIT et ajouté à la pénalité de MISS pondérée par le taux de MISS :

Average Access Time=(L1 HIT time)+(L1 MISS rate×L1 MISS Penalty) = 1 + (0.05\*4,76) = 1,238 cycles.

Une image contenant texte, capture d’écran, Police, ligne

Description générée automatiquement

Taux de miss sur L1 = 40/1000 = 4% 🡪 L1 HIT Rate = 96%

Taux de miss sur L2= (20/40)\*1000 = 50% 🡪 L2 HIT Rate = 50%

MISS Penlaty L1 = 10 +(0.5\*100) = 60 cycles

Average Access Time = 1 + (0.04\*60) = 3,4 cycles

Une image contenant texte, capture d’écran, Police

Description générée automatiquement

Il y a 64 lignes dans le cache de 4\*32 bits, ce qui donne 8192 bits

Offset = 7

Index = 6

Tag = 19

Le programme se compose de 257 instructions. Lorsqu'il atteint l'instruction 0, il recherche celle-ci dans la mémoire cache, entraînant un MISS. Ensuite, la ligne est chargée dans la ligne 0 de la mémoire cache. Comme chaque ligne contient 4 instructions, les instructions 0 à 3 sont chargées dans la première ligne de la mémoire cache (ligne 0). Ainsi, le programme retourne un HIT pour les instructions 1, 2 et 3, mais un MISS pour l'instruction 4. En conséquence, la ligne composée des instructions 4 à 7 est chargée dans la ligne 1 de la mémoire cache. Ce processus se répète jusqu'à ce que les instructions 252 à 255 soient chargées dans la ligne 63 de la mémoire cache.

Avec la politique LRU (Least Recently Used) entraînant un taux de MISS de 25%, lors de l'instruction 256, un MISS se produit, et la mémoire cache est pleine (64 lignes remplies). L'instruction est alors chargée dans la ligne la moins récemment utilisée, c'est-à-dire la ligne 0. Lorsque la boucle revient à l'instruction 0, qui n'est plus dans la mémoire cache, un MISS se produit. Les instructions 0 à 4 sont alors chargées dans la ligne la moins récemment utilisée, soit la ligne 1. Les instructions 1, 2 et 3 génèrent un HIT, mais l'instruction 4 génère un MISS.

Avec la politique MRU (Most Recently Used) entraînant un taux de MISS de 1/256, lors de l'instruction 256, un MISS se produit et la mémoire cache est pleine. L'instruction est alors chargée dans la ligne la plus récemment utilisée, soit la ligne 63. Lorsque la boucle revient à l'instruction 0, celle-ci est toujours dans la mémoire cache. Ce n'est qu'à l'instruction 252 qu'un MISS se produit. Les instructions 252 à 255 sont alors chargées dans la ligne la plus récemment utilisée, soit la ligne 62. Les instructions 253, 254, 255 et 256 génèrent un HIT.